

TD 06 : Langage VHDL Architecture structurel (Component)

TD VHDL / FPGA

Dr. Lezzar

Table des matières



Objectifs	3
I - Exercice 01	4
II - Exercice 02	5
III - Exercice 03	7
IV - Exercice 04	8

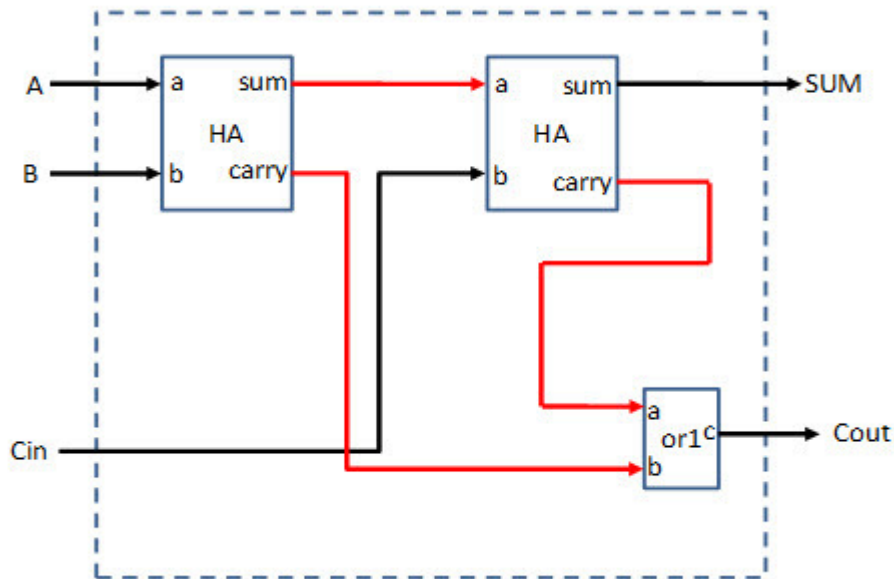
Objectifs

- Comprend l'architecture structurelle.
- Utilisation de la boucle generate.

Exercice 01

I

Écrire le programme en langage VHDL d'un additionneur complet qui a la structure suivante, en utilisant la description components.



Remarque

Dans la déclaration des composant dans le programme, il faut déclarer HA et or1. on déclare pas les composant qui se répète

Complément

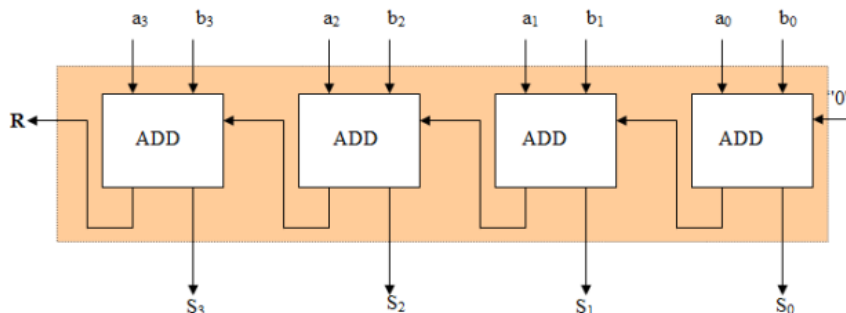
Nous avons deux sous programmes, un pour le composant HA et un autre pour or1.



Exercice 02

Écrire le programme en langage VHDL d'un additionneur complet à 4 bits

1. En utilisant des composants d'additionneur complet à 1 bit.



Rappel

Dans l'architecture en définie un seul composant d'additionneur complet de 1 bit

Complément : l'architecture d'un additionneur complet 1 bit

Architecture comportemental of ADD is

```
-- signal result : std_logic_vector(1 downto 0);
begin
sum <= (a xor b) xor cin; --sum <= resultat(0);
carry <= (a and b) or (a and cin) or (cin and b);-- carry <= resultat(1);
end comportemental;
```

2. En utilisant la boucle generate.

Attention

la boucle generate est une boucle for

Rappel

```
process
ADD: for i in 0 to N generate
-----
```

end generate ADD;

end process;

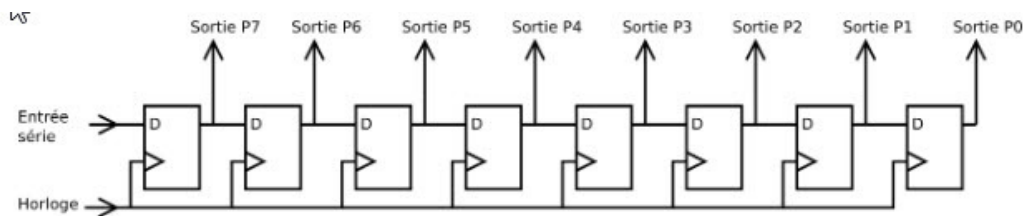
Exercice 03

III

Écrire le programme en langage VHDL d'un registre à décalage de 8 bits en utilisant des composants bascule D à 1 bit.

Complément

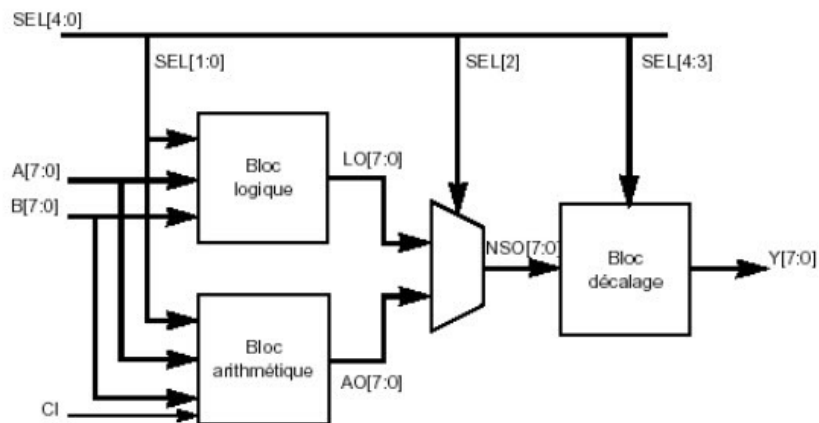
On y trouve 8 bascules D. Les horloges des 8 bascules sont reliées ensemble. L'entrée D de la première bascule est l'entrée de notre registre. Sa sortie est reliée à l'entrée de la seconde bascule et ainsi de suite. Le système a 8 sorties.



Exercice 04



Écrire le programme en langage VHDL de la machine ALU du TD 3 en utilisant des composants.



Remarque

Dans cette ALU le nombre de bloques correspond au nombre de composants utilisés.

Les signaux entre les blocs sont déclarés dans l'architecture.

Rappel

Il faut écrire le programme de chaque bloc séparément comme s'il était l'entité.