

TD02 : Langage VHDL Instruction concurrentiel

TD VHDL / FPGA

Dr. Lezzar

Table des matières



Objectifs	3
Introduction	4
I - Exercice 01	5
II - Exercice 02	6
III - Exercice 03	7
IV - Exercice 04	8

Objectifs

- Savoir écrire un programme en langage VHDL.
- Connaître l'architecture flot de données

Introduction

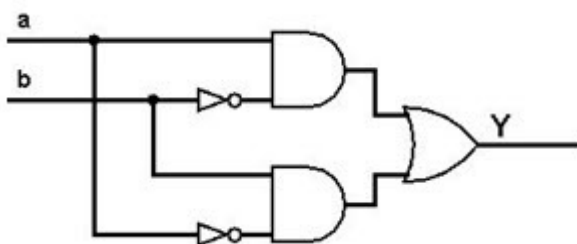


Ce TD donne une initiation a la programmation au langage VHDL et de connaître les différente partie de programme a savoir la libreray, l'entity et l'architecture.

Exercice 01

I

Soit le logigramme suivant :



1. Écrire l'équation de cette fonction logique.

Méthode

2. Traduire l'équation logique en langage VHDL.

3. Implémenté le code VHDL en utilisant l'équation logique

Remarque

L'équation déterminé dans la question précédente sera intégrer dans l'architecture du programme se qui fait que l'architecture soit flot de données.

Exercice 02

II

1. Donner la table de vérité du décodeur 2-4

Complément

Le décodeur possède des signaux d'entrées et quatre signaux de sortie.

Exemple : Table de vérité d'un décodeur 2-4

Soit les entrées A, B et les sorties Y0, Y1, Y2, Y3 seront 0 0 0 1, il décode l'information comme suite :

0 0 ----> 0 0 0 1

0 1 ----> 0 0 1 0

1 0 ----> 0 1 0 0

1 1 ----> 1 0 0 0

2. Écrire code VHDL du décodeur.

Méthode

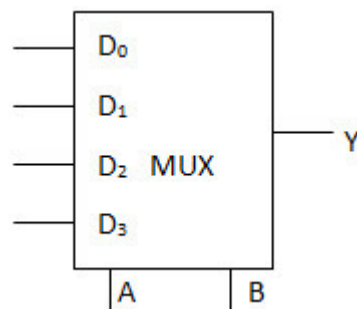
Utilisation de la fonction logique.

Exercice 03

III

1. Écrire le code VHDL d'un décodeur Mux 4 vers 1

A et B sont des signaux de sélections.



Méthode

Utilisation de la fonction logique.

Exercice 04

IV

1. Écrire un code VHDL du transcodeur

Méthode

Utilisation de la fonction logique.

Complément : La table de vérité suivante d'un Transcodeur

A	B	C	D	E	F	G	H
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	1	0	1	1
0	1	1	0	1	1	0	0
0	1	1	1	1	1	0	1
1	0	0	0	1	1	1	0
1	0	0	1	1	1	1	1

A,B,C,D représente les entrées et E,F,G,H représente les sorties.

Conseil

Utiliser les équation simplifier avec le tableau de karnauh du TD 01.